

**PAT-NO:** JP404230588A  
**DOCUMENT-IDENTIFIER:** JP 04230588 A  
**TITLE:** COMPANDING CURRENT MODE TRANS-CONDUCTOR CAPACITOR INTEGRATING EQUIPMENT

**PUBN-DATE:** August 19, 1992

**INVENTOR-INFORMATION:**

NAME	COUNTRY
SEEVINCK, EVERT	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
PHILIPS GLOEILAMPENFAB:NV	N/A

**APPL-NO:** JP03256602

**APPL-DATE:** October 3, 1991

**INT-CL (IPC):** G06G007/184

**ABSTRACT:**

**PURPOSE:** To execute an operation in a current mode, to show a linear integration function through the use of a non-linear trans-

conductor and to provide an adjustable trans-conductor capacitor integrating equipment.

CONSTITUTION: In a current mode trans-conductor capacitor integrating equipment by this invention, non-linear voltage-current conversion in the trans- conductor is corrected by a differentiation equipment. The differentiation equipment supplies differential current  $i_d$  of current  $i$  in proportion to output current  $i_{out}$ , which is matched with a differentiation value concerning the control voltage( $v$ ), to a current divider. The current divider supplies quotient current  $i_q$  obtained by dividing input current  $i_{in}$ , by differential current  $i_d$  to an integration capacitor where the voltage( $v$ ) is applied on both ends and the voltage( $v$ ) is converted into output current  $i_{out}$  in proportion to the integration value of input current linearly by the trans-conductor.

COPYRIGHT: (C)1992,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-230588

(43) 公開日 平成4年(1992)8月19日

(51) Int.Cl.<sup>5</sup>

G 0 6 G 7/184

識別記号

庁内整理番号

F I

技術表示箇所

D 7368-5B

審査請求 未請求 請求項の数12(全 10 頁)

(21) 出願番号 特願平3-256602

(22) 出願日 平成3年(1991)10月3日

(31) 優先権主張番号 9 0 0 2 1 5 4

(32) 優先日 1990年10月4日

(33) 優先権主張国 オランダ (NL)

(71) 出願人 590000248

エヌ・ペー・フィリップス・フルーイラン  
ベンファブリケン

N. V. PHILIPS' GLOEIL  
AMPENFABRIEKEN

オランダ国 アインドーフエン フルーネ  
ヴァウツウエツハ 1

(72) 発明者 エフエルト シーフイंक

オランダ国 5621 ベアー アインドー  
フエンフルーネバウツウエツハ 1

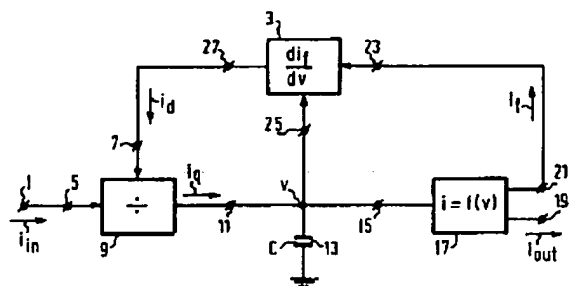
(74) 代理人 弁理士 杉村 暁秀 (外5名)

(54) 【発明の名称】 圧伸電流モード・トランスコンダクタ・コンデンサ積分器

(57) 【要約】

【目的】 電流モードで作動するとともに、非線形トランスコンダクタを用いて線形積分機能を発揮する、調整可能トランスコンダクタ・コンデンサ積分器を提供する。

【構成】 本発明による電流モード・トランスコンダクタ・コンデンサ積分器では、トランスコンダクタの非線形電圧-電流変換を、微分器によって修正する。この微分器は、出力電流 ( $i$ ) に比例する電流 ( $i$ ) の、制御電圧 ( $v$ ) についての微分値に比例する微分電流 ( $i$ ) を、電流除算器に供給する。この電流除算器は、入力電流 ( $i$ ) を微分電流 ( $i$ ) で割り算した商電流 ( $i$ ) を、両端に電圧 ( $v$ ) が課されている積分コンデンサに供給し、この電圧 ( $v$ ) が、トランスコンダクタによって、入力電流 ( $i$ ) の積分値に線形的に比例する出力電流 ( $i$ ) に変換される。



## 【特許請求の範囲】

【請求項1】 入力信号の積分値に比例する少なくとも一つの出力信号を発生させるトランスコンダクタ・コンデンサ積分器であって、前記入力信号を受信するための第1入力端子と、前記出力信号を供給するための第1出力端子と、第1コンデンサと、該第1コンデンサに結合された入力端子及び出力端子を有するトランスコンダクタとを具える積分器において、

・前記入力信号を入力電流とし、前記出力信号を出力電流とし、

・前記トランスコンダクタの入力端子を前記第1コンデンサに結合し、その出力端子を前記第1出力端子に結合し、前記第1コンデンサの両端にかかる電圧を前記出力電流に変換し、且つ前記積分器が更に、

・前記出力電流に比例するフィードバックの、前記第1コンデンサの両端にかかる電圧についての微分値に比例する微分電流を発生させる微分器と、

・前記第1入力端子における入力信号を、前記微分信号で割り算した商に比例する商電流を、前記第1コンデンサに供給する電流除算器とを具えていることを特徴とするトランスコンダクタ・コンデンサ積分器。

【請求項2】 前記微分器を、前記フィードバック電流と前記微分電流との直接電流通路とし、且つ前記トランスコンダクタの電圧-電流変換を指数の関係とし、前記出力電流が、前記第1コンデンサの両端にかかる電圧の指数に比例するようにすることを特徴とする請求項1に記載のトランスコンダクタ・コンデンサ積分器。

【請求項3】 前記トランスコンダクタが、第1及び第2主電極及び制御電極を有する第1出力トランジスタを具え、その第2主電極を前記第1出力端子に結合し、前記制御電極と前記第1主電極とによって構成される接続を、前記第1コンデンサと並列に配置することを特徴とする請求項2に記載のトランスコンダクタ・コンデンサ積分器。

【請求項4】 前記トランスコンダクタが更に、第1及び第2主電極及び制御電極を有する第2出力トランジスタを具え、該第2出力トランジスタの第1主電極及び制御電極を、それぞれ対応する前記第1出力トランジスタの第1主電極及び制御電極に接続し、前記第2出力トランジスタの第2主電極を、前記フィードバック電流の出力端子とすることを特徴とする請求項3に記載のトランスコンダクタ・コンデンサ積分器。

【請求項5】 前記電流除算器が：

・各々第1及び第2主電極及び制御電極を有する、第1、第2、第3及び第4トランジスタを具え、前記第1トランジスタの制御電極を前記第2トランジスタの第1主電極に接続し、前記第2及び第3トランジスタの制御電極をノードに接続し、前記第3トランジスタの第1主電極を前記第4トランジスタの制御電極に接続し、前記第1トランジスタの制御電極を前記第1入力端子に結合

し、前記第1トランジスタの第2主電極を前記ノードに結合し、前記第1及び第4トランジスタの第1主電極を第1電源端子に接続し、前記第2及び第3トランジスタの第2主電極を第2電源端子に結合し、更に前記電流除算器が

・前記ノードに結合した第1バイアス電流源と、

・前記第4トランジスタの第2主電極に結合された第1電流端子と、前記第1出力トランジスタの制御電極に結合された第2電流端子とを有する電流ミラーとを具え、

10 且つ前記第1及び第2出力トランジスタの第1主電極を、第1電源端子に接続することを特徴とする請求項4に記載のトランスコンダクタ・コンデンサ積分器。

【請求項6】 前記電流除算器が：

・各々第1及び第2主電極及び制御電極を有する、第1、第2及び第3トランジスタを具え、前記第1トランジスタの制御電極を前記第2トランジスタの第1主電極に接続し、前記第2及び第3トランジスタの制御電極をノードにおいて相互接続し、前記第3トランジスタの第1主電極を前記第1出力トランジスタの制御電極に接続し、前記第1トランジスタの制御電極を前記第1入力端子に結合し、前記第1トランジスタの第2主電極を前記ノードに結合させ、前記第1トランジスタの第1主電極を第1電源端子に接続し、前記第2及び第3トランジスタの第2主電極を第2電源端子に結合し；前記電流除算器が更に、

・前記ノードに結合された第1バイアス電流源とを具え、且つ前記第1出力トランジスタの第1主電極を前記第1電源端子に接続することを特徴とする請求項3に記載のトランスコンダクタ・コンデンサ積分器。

30 【請求項7】 前記積分器が更に、各々第1及び第2主電極及び制御電極を有する他の第1及び第2トランジスタを具え、該他の第1トランジスタの制御電極及び第1主電極を前記第1トランジスタの制御電極及び第1主電極にそれぞれ接続し、前記他の第2トランジスタの制御電極及び第1主電極を前記第1出力トランジスタの制御電極及び第1主電極にそれぞれ接続し、前記他の第1トランジスタの第2主電極を前記第1出力トランジスタの制御電極に接続し、前記他の第2トランジスタの第2主電極を前記第1トランジスタの制御電極に接続することを特徴とする請求項6に記載のトランスコンダクタ・コンデンサ積分器。

【請求項8】 前記積分器が更に：

・他の入力電流を受信するための第2入力端子、及び他の出力電流を供給するための第2出力端子と；

・前記コンデンサと容量がほぼ等しい第2コンデンサと；

・前記第1バイアス電流源の供給する電流とほぼ等しい電流を供給する第2バイアス電流源と；

・各々第1及び第2主電極及び制御電極を有する、第4、第5及び第6トランジスタを具え、前記第1、第2

及び第3トランジスタ及び前記第1出力トランジスタのそれぞれに対応する電極と同様に、第4、第5及び第6トランジスタ及び第2出力トランジスタの電極を、互いに接続するとともに、前記第2入力端子と、前記第2出力端子と、前記第2コンデンサと、前記第2バイアス電流源と、前記第1電源端子と、前記第2電源端子とに接続し、前記積分器が更に、

・少なくとも1個の他の出力トランジスタから成る第1グループを具え、各々の出力トランジスタが、前記第1出力トランジスタの対応する電極に接続されている第1主電極及び制御電極と、第2主電極とを有し、該第2主電極の1個を前記第2出力トランジスタの制御電極に結合し、その他の前記第2主電極を、前記第1出力端子における出力電流に比例する電流を供給するその他の各出力端子に結合させ、前記積分器が更に、

・少なくとも1個の他の出力トランジスタから成る第2グループを具え、各々の出力トランジスタが、前記第2出力トランジスタの対応する電極に接続されている第1主電極及び制御電極と、第2主電極とを有し、該第2主電極の1個を前記第1出力トランジスタの制御電極に結合し、その他の前記第2主電極を、前記第2出力端子における出力電流に比例する電流を供給するその他の各出力端子に結合させることを特徴とする請求項6に記載のトランスコンダクタ・コンデンサ積分器。

【請求項9】 前記積分器を、前記制御電極、前記第1主電極及び前記第2主電極がそれぞれベース、エミッタ及びコレクタに対応するバイポーラトランジスタで構成することを特徴とする請求項3～8のいずれか一項に記載のトランスコンダクタ・コンデンサ積分器。

【請求項10】 前記積分器を、前記制御電極、前記第1主電極及び前記第2主電極がそれぞれゲート、ソース及びドレインに対応する、弱反転モードで動作する単極性MOSトランジスタで構成することを特徴とする請求項3～8のいずれか一項に記載のトランスコンダクタ・コンデンサ積分器。

【請求項11】 前記第1バイアス電流源が供給する電流の大きさを制御できるようにすることを特徴とする請求項5～10のいずれか一項に記載のトランスコンダクタ・コンデンサ積分器。

【請求項12】 請求項8～11のいずれか一項に記載の第1及び第2積分器と、2個の相補フィルタ入力端子と、2個の相補フィルタ出力端子とを具えるフィルタ装置であって、前記積分器の各々が、前記第1入力端子と前記第2入力端子とにそれぞれ相当する非反転入力端子と相補反転入力端子とを有し、且つ前記第1出力端子と前記第1グループの他の2個の出力トランジスタの第2主電極にそれぞれ結合された他の2個の出力端子とに相当する第1、第2及び第3反転出力端子を有し、且つ前記第2出力端子と前記第2グループの他の2個の出力トランジスタの第2主電極にそれぞれ結合された他の2個

の出力端子とに相当する、前記第1、第2及び第3反転出力端子をそれぞれ相補する第1、第2及び第3非反転出力端子を有し、且つ前記第1積分器の前記非反転入力端子及び前記第1反転出力端子と前記第2積分器の前記第1非反転出力端子とを、前記フィルタ入力端子の一方に接続し、且つ前記第1及び第2積分器の第2反転出力端子を、前記フィルタ出力端子の一方に接続し、且つ前記第1積分器の第3反転出力端子を、前記第2積分器の非反転入力端子及び第1反転出力端子に接続し、且つ残りのフィルタ入力端子と、フィルタ出力端子と、前記積分器の入力端子及び出力端子とを、相補的に対応するように接続し、これによって、4乗ベキ変換関数を有するフィルタ段を構成し、前記変換関数の係数を、積分器のトランジスタの相対的な寸法によって規定することを特徴とするフィルタ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力信号の積分値に比例する少なくとも一つの出力信号を発生させるトランスコンダクタ・コンデンサ積分器であって、前記入力信号を受信するための第1入力端子と、前記出力信号を供給するための第1出力端子と、第1コンデンサと、該第1コンデンサに結合された入力端子及び出力端子を有するトランスコンダクタとを具える積分器に関するものである。

【0002】

【従来の技術】 このようなトランスコンダクタ・コンデンサ積分器は、特に1988年6月のソリッドステート回路のIEEEジャーナル“A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning”Vol. 23, No. 3, p. 750-758より既知である。連続時間フィルタは、オーディオ、ビデオ信号処理の分野における多様なフィルタ機能にとって、またデジタルあるいはスイッチ・コンデンサ・システムのアンチ・リアス・フィルタとして好適である。連続時間フィルタは、調整することのできる線形トランスコンダクタを有するトランスコンダクタ・コンデンサ積分器を必要とする。

【0003】

【発明が解決しようとする課題】 しかしながら、容量の調整と線形性の調整とを容易に組み合わせることは不可能である。更にトランスコンダクタ・コンデンサ積分器は電流モードで動作する必要がある、すなわち入力信号及び出力信号として、電流を用いる。この必要性は、低電源電圧に移行する傾向、及びフィルタシステムの高周波数特性の改善を求めることによって、更に高まった。電圧モードに優る電流モードの利点は、特に1989年6月8日の“All current-mode frequency selective circuits”, Electronics Letters, Vol. 25, No. 12, pp. 759-761に記載されている。

【0004】 本発明の目的は、電流モードで作動すると

ともに、非線形トランスコンダクタを用いて線形積分機能を発揮する、調整可能トランスコンダクタ・コンデンサ積分器を提供せんとするにある。

【0005】

【課題を解決するための手段】本発明は、入力信号の積分値に比例する少なくとも一つの出力信号を発生させるトランスコンダクタ・コンデンサ積分器であって、前記入力信号を受信するための第1入力端子と、前記出力信号を供給するための第1出力端子と、第1コンデンサと、該第1コンデンサに結合された入力端子及び出力端子を有するトランスコンダクタとを具える積分器において、

・前記入力信号を入力電流とし、前記出力信号を出力電流とし、

・前記トランスコンダクタの入力端子を前記第1コンデンサに結合し、その出力端子を前記第1出力端子に結合し、前記第1コンデンサの両端にかかる電圧を前記出力電流に変換し、且つ前記積分器が更に、

・前記出力電流に比例するフィードバックの、前記第1コンデンサの両端にかかる電圧についての微分値に比例する微分電流を発生させる微分器と、

・前記第1入力端子における入力信号を、前記微分信号で割り算した商に比例する商電流を、前記第1コンデンサに供給する電流除算器とを具えていることを特徴とする。

【0006】トランスコンダクタの非線形電圧-電流特性の結果として生じる出力電流のひずみは、微分器によって測定されるとともに、微分電流として電流除算器に供給される。この電流除算器は、入力電流を微分電流で割り算した商に比例する商電流を、コンデンサに供給する。このコンデンサの両端にかかる電圧は、積分によって生じ、トランスコンダクタによって出力電流に変換される。このようにして構成されるループは、トランスコンダクタの電圧-電流特性に関して完全に独立な電流積分機能を有する。従って、このトランスコンダクタの特性を非線形、例えば伸張特性とし、電流除算器の商電流が圧縮特性を呈するようにすることができる。出力電流の所定の変化に対するコンデンサの両端にかかる電圧の変化は、線形トランスコンダクタの場合よりもかなり小さい。このような圧伸（伸張及び圧縮）電流-モード積分器は、低電源電圧において極めて好適である。

【0007】本発明によるトランスコンダクタ・コンデンサ積分器の一例は、前記微分器を、前記フィードバック電流と前記微分電流との直接電流通路とし、且つ前記トランスコンダクタの電圧-電流変換を指数の関係とし、前記出力電流が、前記第1コンデンサの両端にかかる電圧の指数に比例するようにすることを特徴とする。

【0008】指数的な関係を選択することによって、微分電流をフィードバック電流に等しくし、微分器を直接接続することができる。

【0009】前記トランスコンダクタが第1及び第2主電極及び制御電極を有する第1出力トランジスタを具え、その第2主電極を前記第1出力端子に結合し、前記制御電極と前記第1主電極とによって構成される接続を、前記第1コンデンサと並列に配置することを特徴とする本発明によるトランスコンダクタ・コンデンサ積分器を用いて更に簡略化することができる。

【0010】それぞれ、ベース、エミッタ及びコレクタが制御電極、第1主電極及び第2主電極に対応するバイポーラトランジスタ、又は弱反転モードで動作し、それぞれゲート、ソース及びドレインが上記電極に対応する単極性MOSトランジスタを選択することができる。これらの種類のトランジスタの、トランジスタを流れる電流と、制御電極と第1主電極との間の電位差との関係が、指数関数であることは既知である。

【0011】本発明によるトランスコンダクタ・コンデンサ積分器の第2の例では、前記トランスコンダクタが更に、第1及び第2主電極及び制御電極を有する第2出力トランジスタを具え、該第2出力トランジスタの第1主電極及び制御電極を、それぞれ対応する前記第1出力トランジスタの第1主電極及び制御電極に接続し、前記第2出力トランジスタの第2主電極を、前記フィードバック電流の出力端子とすることを特徴とする。従って、出力電流に比例するフィードバック電流が、第2出力トランジスタによって供給される。

【0012】本発明によるトランスコンダクタ・コンデンサ積分器の第3の例では、前記電流除算器が：

・各々第1及び第2主電極及び制御電極を有する、第1、第2、第3及び第4トランジスタを具え、前記第1トランジスタの制御電極を前記第2トランジスタの第1主電極に接続し、前記第2及び第3トランジスタの制御電極をノードに接続し、前記第3トランジスタの第1主電極を前記第4トランジスタの制御電極に接続し、前記第1トランジスタの制御電極を前記第1入力端子に結合し、前記第1トランジスタの第2主電極を前記ノードに結合し、前記第1及び第4トランジスタの第1主電極を第1電源端子に接続し、前記第2及び第3トランジスタの第2主電極を第2電源端子に結合し、更に前記電流除算器が

・前記ノードに結合した第1バイアス電流源と、

・前記第4トランジスタの第2主電極に結合された第1電流端子と、前記第1出力トランジスタの制御電極に結合された第2電流端子とを有する電流ミラーとを具え、且つ前記第1及び第2出力トランジスタの第1主電極を、第1電源端子に接続することを特徴とする。

【0013】第1～第4トランジスタを、トランスリニアループに配置する。ここで、第1トランジスタを流れる電流と第2トランジスタを流れる電流との積は、第3トランジスタを流れる電流と第4トランジスタを流れる電流との積に等しい。この結果、電流ミラーを介してコ

ンデンサに供給される第4トランジスタを流れる電流は、入力電流をフィードバック電流で割り算した商に比例する。この比例定数は、出力電流を制御し、積分器を調整することのできるバイアス電流源によって規定される。

【0014】トランスリニアループの第3トランジスタの機能及び第4トランジスタの機能を置き換えることによって、電流除算器を簡略化することができる。このようにして、本発明によるトランスコンダクタ・コンデンサ積分器の第4の例では、前記電流除算器が：

- ・各々第1及び第2主電極及び制御電極を有する、第1、第2及び第3トランジスタを具え、前記第1トランジスタの制御電極を前記第2トランジスタの第1主電極に接続し、前記第2及び第3トランジスタの制御電極をノードにおいて相互接続し、前記第3トランジスタの第1主電極を前記第1出力トランジスタの制御電極に接続し、前記第1トランジスタの制御電極を前記第1入力端子に結合し、前記第1トランジスタの第2主電極を前記ノードに結合させ、前記第1トランジスタの第1主電極を第1電源端子に接続し、前記第2及び第3トランジスタの第2主電極を第2電源端子に結合し；前記電流除算器が更に、

- ・前記ノードに結合された第1バイアス電流源とを具え、且つ前記第1出力トランジスタの第1主電極を前記第1電源端子に接続することを特徴とする。これによって、電流ミラー、第4トランジスタ及び第2出力トランジスタを省略することができる。

【0015】更にこの第4の例では、前記積分器が更に、各々第1及び第2主電極及び制御電極を有する他の第1及び第2トランジスタを具え、該他の第1トランジスタの制御電極及び第1主電極を前記第1トランジスタの制御電極及び第1主電極にそれぞれ接続し、前記他の第2トランジスタの制御電極及び第1主電極を前記第1出力トランジスタの制御電極及び第1主電極にそれぞれ接続し、前記他の第1トランジスタの第2主電極を前記第1出力トランジスタの制御電極に接続し、前記他の第2トランジスタの第2主電極を前記第1トランジスタの制御電極に接続することを特徴とすることができる。

【0016】前記他の第1及び第2トランジスタは、コンデンサの放電電流通路を構成する。この例では、積分器は極めて低い電源電圧で動作、すなわちバイポーラトランジスタを選択する場合、極めて低い2個のベース・エミッタ接続電圧で動作し、容易にカスケード接続することができる。その理由は、入力電流と出力電流とが等しい電圧値だからである。

【0017】更に本発明によるトランスコンダクタ・コンデンサ積分器の第4の例では、前記積分器が更に：

- ・他の入力電流を受信するための第2入力端子、及び他の出力電流を供給するための第2出力端子と；

- ・前記コンデンサと容量がほぼ等しい第2コンデンサ

と；

- ・前記第1バイアス電流源の供給する電流とほぼ等しい電流を供給する第2バイアス電流源と；

- ・各々第1及び第2主電極及び制御電極を有する、第4、第5及び第6トランジスタを具え、前記第1、第2及び第3トランジスタ及び前記第1出力トランジスタのそれぞれに対応する電極と同様に、第4、第5及び第6トランジスタ及び第2出力トランジスタの電極を、互いに接続するとともに、前記第2入力端子と、前記第2出力端子と、前記第2コンデンサと、前記第2バイアス電流源と、前記第1電源端子と、前記第2電源端子とに接続し、前記積分器が更に、

- ・少なくとも1個の他の出力トランジスタから成る第1グループを具え、各々の出力トランジスタが、前記第1出力トランジスタの対応する電極に接続されている第1主電極及び制御電極と、第2主電極とを有し、該第2主電極の1個を前記第2出力トランジスタの制御電極に結合し、その他の前記第2主電極を、前記第1出力端子における出力電流に比例する電流を供給するその他の各出力端子に結合させ、前記積分器が更に、

- ・少なくとも1個の他の出力トランジスタから成る第2グループを具え、各々の出力トランジスタが、前記第2出力トランジスタの対応する電極に接続されている第1主電極及び制御電極と、第2主電極とを有し、該第2主電極の1個を前記第1出力トランジスタの制御電極に結合し、その他の前記第2主電極を、前記第2出力端子における出力電流に比例する電流を供給するその他の各出力端子に結合させることを特徴とする。

【0018】この例は、差動入出力電流に好適であり、高い同位相除去性を有し、入出力電流が等しい電圧値である。このことによって、この平衡積分器を容易にカスケード接続し、4乗ベキフィルタ段を構成できる。更に入力端子が、仮想アースポイントを構成し、直列抵抗によって、入力電圧を容易に入力電流に変換することができる。

【0019】

【実施例】以下図面を参照して実施例を説明するに、各図面の対応する部分には、同一の参照番号を付す。図1は、本発明による圧伸トランスコンダクタ・コンデンサ積分器を示す基本ブロック図である。入力端子1における積分されるべき入力電流  $i_i$  と、微分器3で微分された微分電流  $i_d$  とが、電流除算器9の入力端子5及び7にそれぞれ供給される。この電流除算器9は、その出力端子11において：

【数1】

$$i_q = I_0 * (i_d/i_i)$$

の関係を有する、入力電流  $i_i$  と入力電流  $i_d$  との割り算の商に比例する商電流  $i_q$  を供給する。ここで、 $I_0$  は、定電流である。

【0020】電流除算器9の出力端子11を、容量Cのコ

ンデンサ13と、トランスコンダクタ17の入力端子15に接続する。このトランスコンダクタ17の出力端子19には、出力電流  $i$  が流れる。トランスコンダクタ17は、電圧-電流関数  $f(v)$  :

【数2】

$$i_{out} = f(v)$$

に従って、コンデンサ13の両端の電圧  $v$  を、出力電流  $i$  に変換する。この関数は、一般的に非線形であり、出力電流  $i$  に望ましくない信号ひずみを供給してしまう。トランスコンダクタ17は更に、出力電流  $i$  に比例あるいは、これに等しいフィードバック電流  $i$  を供給するための第2出力端子21を具えている。フィードバック電流  $i$  と電圧  $v$  とが、微分器3の入力端子23及び25にそれぞれ供給され、この微分器3の出力端子27に、微分された電流  $i$  が :

【数3】

$$i_d = V_o * (di/dv)$$

に従って供給される。ここで  $V_o$  は、定電圧である。更にここで :

【数4】

$$i_f = i_{out} * K$$

であると仮定する。ここで  $K$  は、定数である。これによって、等式(3) は :

【数5】

$$i_d = K * V_o * (di_{out}/dv)$$

となる。また、商電流  $i$  がコンデンサ13に流れることから、等式(1) を用いて、

【数6】

$$i_q = I_o * (i_{in}/i_d) = C * (dv/dt)$$

と書くことができる。連鎖法則 (合成関数の微分公式) より :

【数7】

$$di_{out}/dt = (di_{out}/dv) * (dv/dt)$$

となる。等式(5) 及び(6) を、等式(7) に代入することによって :

【数8】

$$\frac{di_{out}}{dt} = \frac{i_d}{K * V_o} * \frac{i_{in}}{i_d} * \frac{I_o}{C}$$

となる。等式(8) を時間に対して積分すると :

【数9】

$$i_{out} = \frac{I_o}{K V_o C} \int i_{in} dt$$

となる。

【0021】出力電流  $i$  は、入力電流  $i$  の積分値に比例し、トランスコンダクタ17の電圧-電流関数  $f(v)$  とは完全に独立している。トランスコンダクタ17の非線形性の結果生じる出力電流  $i$  の信号歪が除去される。 $f(v)$  を、伸張関数とすると、商電流  $i$  は、圧縮特性を有する。この場合、出力電流  $i$  が所定の変化をする場合のコンデンサ13の両端の電圧  $v$  の変化は、ト

ンスコンダクタ17の関数  $f(v)$  が、線形の場合よりも小さくなる。したがって、この積分器は、圧伸 (すなわち、伸張及び圧縮) 電流モード積分器として機能し、低供給電圧の場合に極めて好適である。

【0022】トランスコンダクタ17の関数  $f(v)$  として、種々の関数を、用いることができる。実際には、図2に示されているように、微分器3を、その入力端子23と出力端子27との単なる相互接続によって、置き換えることができるように、関数  $f(v)$  を選択する。この場合、

【数10】

$$i_d = K * i_{out}$$

でなければならない。等式(5)を、等式(10)に代入することによって、

【数11】

$$V_o = (di_{out}/dv) = i_{out}$$

となり、これを  $v$  に対して積分すると、

【数12】

$$i_{out} = I_s \exp(v/V_o)$$

となる。ここで、 $I_s$  は、定電流である。トランスコンダクタ17の電圧-電流関数として、指数関数を選択すると、微分器3を、相互接続で置き換えることができる。等式(12)に従う指数変換関数を有するトランスコンダクタを、バイポーラトランジスタ、あるいは弱反転モードで動作する単極性MOS トランジスタで実現することができる。

【0023】図3aは、バイポーラトランジスタから成る一例を示しており、図3bは、弱反転モードで動作するMOS トランジスタから成る一例を示している。図3aにおいて、トランスコンダクタ17は、第1出力トランジスタT1と、第2出力トランジスタT2とを具え、該第2出力トランジスタT2のベース-エミッタ接続を、コンデンサ13と並列に配置している。第1出力トランジスタT1のコレクタを、出力端子19に結合させ、出力電流  $i$  を供給する。第2出力トランジスタT2のコレクタを、出力端子21に接続させ、 $i$  に比例する電流  $i$  を、電流除算器9の入力端子7に供給する。この比率は、トランジスタT1及びT2の相対的な寸法によって規定される。図3bに示されている例は、図3aに示されている例と類似しているが、これは、弱反転モードで動作する第1及び第2単極性MOS トランジスタから成り、ベース、エミッタ及びコレクタの代わりにゲート、ソース及びドレインをそれぞれ具えているものである。

【0024】以下の例においては、単にバイポーラトランジスタを用いているものだけを示す。しかしながら、それぞれの場合において、バイポーラトランジスタを、弱反転モードで動作する単極性MOS トランジスタで置き換えることができる。この場合、ベース、エミッタ及びコレクタを、それぞれゲート、ソース及びドレインに置き換えて読むものとする。

【0025】図4は、図3aに示されている積分器の変



11

形例を示す図である。電流除算器9は、ノード32に電流  $I$  を供給するバイアス電流源30と、電流ミラー34と、トランスリニアループを構成する4個のトランジスタT3、T4、T5及びT6とを具えている。トランジスタT3及びT4のベース-エミッタ直列接続と、トランジスタT5及びT6のベース-エミッタ直列接続とを、ノード32と、負の電源端子36との間に並列に接続する。トランジスタT3及びT6のエミッタを、負の電源端子に接続する。バイアス電流源と、トランジスタT4及びT5のコレクタとを、正の電源端子38に結合させる。トランジスタT4のエミッタと、トランジスタT3のベースとを、電流除算器9の入力端子5に接続し、電流  $i$  が、トランジスタT4を流れるようにする。トランジスタT4のベースと、トランジスタT3のコレクタとを、ノード32に接続し、電流  $i$  が、トランジスタT3を流れるようにする。トランジスタT5のエミッタと、トランジスタT6のベースとを、電流除算器9の入力端子7に接続し、電流  $i$  が、トランジスタT5を流れるようにする。例えば、この電流  $i$  を、 $I$  と等しくなるように選択する。電流ミラー34の第1電流端子41を、電流除算器9の出力端子11に結合させる。この出力端子11を、トランジスタT6のコレクタにも接続する。電流ミラー34の第2電流端子42を、コンデンサ13の一方の端子に結合させ、この他方の端子を、負の電源端子36に接続する。最終的に、商電流  $I$  が、トランジスタT6と、コンデンサ13とを流れる。この商電流  $I$  は、トランジスタT3及びT4を流れる電流の積が、トランジスタT5及びT6を流れる電流の積に等しい：

【数13】

$$I_o * i_{in} = i_{out} * i_q$$

ものとして知られているトランスリニアループ原理に従うものである。この等式(13)は、 $I$  と  $i$  とが等しい場合に等式(6)と一致する。バイアス電流源30を調整することによって、この積分器を調整することができる。こうしたことから、等式(6)が成立する。

【0026】図5は、図4の変形例を示す図である。ここでは、トランジスタT6及びT2と、電流ミラー34とが、省略されている。トランジスタT5のエミッタを、電流除算器9の出力端子11に接続し、この出力端子11を、トランスコンダクタ17の入力端子15を介して、トランジスタT1のベースに直接接続する。この結果、図4のトランジスタT6の代わりにトランジスタT1が、トランスリニアループ部分を構成する。結果としてここでは、図4の  $i$  の代わりに電流  $I$  が、トランジスタT5を流れる。しかし、結果は、最終的に等式(13)に依存している。

【0027】図6は、コンデンサ13の放電通路を設けている一例を示す図である。2個のトランジスタT7及びT8を、図5に示されている積分器に加える。トランジスタT7及びT8のベース-エミッタ接続を、トランジスタT3及びT4のベース-エミッタ接続とそれぞれ並列に配置し、トランジスタT7のコレクタ電流がトランジスタT3のコレ

12

クタ電流、すなわち  $I$  と等しく、且つトランジスタT8のコレクタ電流がトランジスタT1のコレクタ電流、すなわち  $i$  と等しくなるようにする。トランジスタT7のコレクタを、トランジスタT1のベースに接続し、トランジスタT8のコレクタを、トランジスタT3のベースに接続する。この結果、電流  $i + i$  が、トランジスタT4を流れ、電流  $i + I$  が、トランジスタT5を流れる。最終的に、以下の等式が成立する：

【数14】

$$I_o * (i_{in} + i_{out}) = i_{out} * (i_q + I_o)$$

等式(14)の両辺には、重複項  $I * I$  を有し、理論的に等式(14)は等式(13)と同一である。

【0028】図7は、平衡入力電流  $i_1$  及び  $i_2$  を受信するための入力端子1及び44と、平衡出力電流  $i_1$  及び  $i_2$  を供給するための出力端子19及び46とを有する平衡積分器を示す図である。この平衡積分器は、図5に示す種類の2個の積分器を具えている。このうちの一方は、図5に示す積分器と同一であり、他方は、コンデンサ48と、バイアス電流源40と、トランジスタT11、T13、T14及びT15と、入力端子44と、出力端子46とを具えている。これらの他方の積分器のコンデンサなどを、一方の積分器の対応するコンデンサ13、バイアス電流源30、トランジスタT1、T3、T4及びT5、入力端子1、出力端子19と同様に、互いに接続するとともに、正の電源端子38及び負の電源端子36に接続する。更にこの平衡積分器は、トランジスタT16とトランジスタT17とを具えている。トランジスタT16のベース-エミッタ接続を、トランジスタT11のベース-エミッタ接続と並列に接続し、トランジスタT16のコレクタを、トランジスタT1のベースに接続する。トランジスタT17のベース-エミッタ接続を、トランジスタT1のベース-エミッタ接続と並列に接続し、トランジスタT17のコレクタを、トランジスタT11のベースに接続する。

【0029】電圧  $V_1$  がコンデンサ13の両端に発生し、電圧  $V_2$  がコンデンサ48の両端に発生する。コンデンサ48を、コンデンサ13と同等のものと仮定する。電流  $i_1$  がコンデンサ13を流れ、電流  $i_2$  がコンデンサ48を流れる。本質的なことではないが、トランジスタT16及びT17が、トランジスタT11及びT1と同一であると仮定すると、電流  $i_1 + i_2$  及び電流  $i_2 + i_1$  が、トランジスタT5及びT15をそれぞれ流れる。トランスリニアループT3、T4、T5及びT6は：

【数15】

$$I_{n1} * I_o = i_{out1} * (i_{out2} + i_{o1})$$

に従う。トランスリニアループT13、T14、T15及びT17は：

【数16】

$$I_{n2} * I_o = i_{out2} * (i_{out1} + i_{o2})$$

に従う。等式(15)及び(16)を、互いに引き算し、差電流  $i_1 - i_2$  を  $i$  と等しいものとし、差電流  $i_1 -$

$i_1$  を  $i_2$  と等しいものとする、等式(13)と同様の結果となる。

【0030】トランスリニア原理より、トランジスタ電流が、ゼロ入力値よりもかなり低い値であると仮定することができる。このことによって、大きな動的出力信号が得られる。同位相電流を除去し、積分器を単にカスケード接続することができる。その理由は、入力端子における電圧と、出力端子における電圧とが等しいからである。入力端子1及び44は、仮想アースポイントであり、入力電圧源を、単に抵抗を介して接続することができる。

【0031】図5、6及び7に示す回路は、既に極めて低電圧で動作する。その理由は、これらが、電源端子間にただ2個のベース-エミッタ接続を具えているにすぎないからである。

【0032】付加的なトランジスタを、図4、5、6及び7にて示す積分器のトランジスタT1と並列に接続するとともに、図7のトランジスタT11と並列に接続することによって、電流出力の数を増加させることができる。並列トランジスタの寸法を適切に調整することによって、個々の出力電流に重みをかけることができる。図7に示す平衡積分器では、これらの付加的なトランジスタには、参照符号T18、T19、T20、T21を付す。このトランジスタT18及びT19のベース-エミッタ接続を、トランジスタT1のベース-エミッタ接続と並列に配置し、これらのコレクタを、付加的な出力端子50及び52にそれぞれ接続する。また、トランジスタT20、T21のベース-エミッタ接続を、トランジスタT11のベース-エミッタ接続と並列に接続し、これらのコレクタを、付加的な出力端子54及び56にそれぞれ接続する。この平衡トランスコンダクタ・コンデンサ積分器を記号的に図8に示す。端子1を入力端子Iとし、端子44を反転入力端子NIとし、端子46、54、56を反転出力端子N01、N02、N03とし、端子19、50、52を出力端子O1、O2、O3とする。

【0033】図9は、2個の平衡積分器A及びBを用い、4乗ベキフィルタ段を実現する一例を示す図である。4乗ベキフィルタ関数の係数を、トランジスタ寸法の比率によって規定する。正の係数は、同相電流を組み合わせ、信号電流を合計することによって得られる。負の係数は、逆相の電流を組み合わせ、信号電流を引き算することによって得られる。入力信号は、フィルタ入力端子60及び62に供給される。出力信号は、フィルタ出力端子64及び66から得ることができる。積分器Aの端子I及びNIをそれぞれ、フィルタ入力端子60及び62と、積分器Aの端子N01及びO1と、積分器Bの端子O3及びN03とに接続する。積分器Aの端子N02及びO2と、積分器Bの端子N02及びO2とを、フィルタ出力端子64及び66に接続する。積分器Aの端子N03及びO3を、積分器Bの端子I及びNIに接続するとともに、積分器Bの端子N01及びO1に接続する。

【0034】4乗ベキフィルタ段の周波数応答特性は、係数と、図7に示す回路のコンデンサ13及び48の値及びバイアス電流源30及び40の電流10の大きさによって規定される。4乗ベキフィルタ段のフィルタ特性は、電流源30及び40を制御することによって調整することができる。

#### 【図面の簡単な説明】

【図1】本発明によるトランスコンダクタ・コンデンサ積分器を示す基本ブロック図である。

【図2】本発明によるトランスコンダクタ・コンデンサ積分器の一例を示す基本ブロック図である。

【図3】本発明によるトランスコンダクタ・コンデンサ積分器の他の一例を示す基本ブロック図である。

【図4】本発明によるトランスコンダクタ・コンデンサ積分器を示す回路図である。

【図5】本発明によるトランスコンダクタ・コンデンサ積分器を示す回路図である。

【図6】本発明によるトランスコンダクタ・コンデンサ積分器を示す回路図である。

【図7】本発明によるトランスコンダクタ・コンデンサ積分器を示す回路図である。

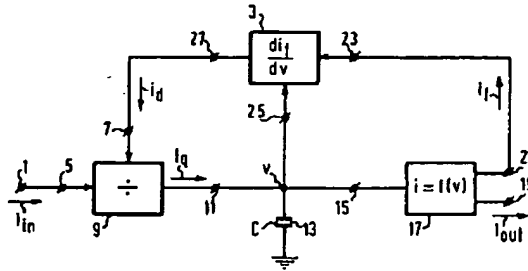
【図8】図7に示すトランスコンダクタ・コンデンサ積分器を記号的に示す図である。

【図9】本発明による2個のトランスコンダクタ・コンデンサ積分器から成る4乗ベキフィルタ段を示す図である。

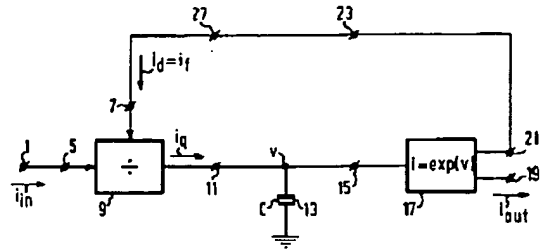
#### 【符号の説明】

- 1 積分器の第1入力端子
- 3 微分器
- 5, 7 電流除算器9の入力端子
- 9 電流除算器
- 11 電流除算器9の出力端子
- 13 第1コンデンサ
- 15 トランスコンダクタ17の入力端子
- 17 トランスコンダクタ
- 19 トランスコンダクタ17の第1出力端子(積分器の第1出力端子)
- 21 トランスコンダクタ17の第2出力端子
- 23, 25 微分器3の入力端子
- 27 微分器3の出力端子
- 30 第1バイアス電流源
- 32 ノード
- 34 電流ミラー
- 36 負の電源端子
- 38 正の電源端子
- 40 第2バイアス電流源
- 41 電流ミラー34の第1電流端子
- 42 電流ミラー34の第2電流端子
- 44 積分器の第2入力端子
- 46 積分器の第2出力端子

【図1】



【図2】



【図3】

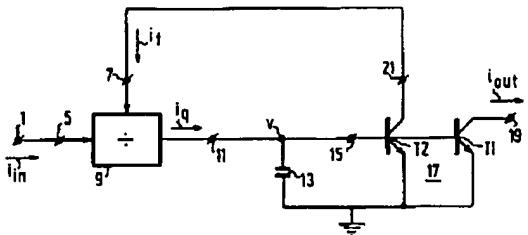


FIG.3a

【図4】

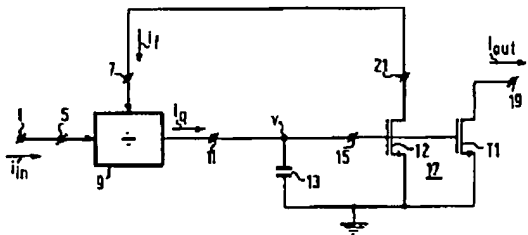
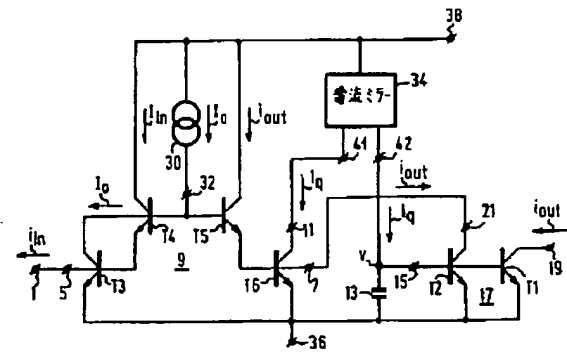
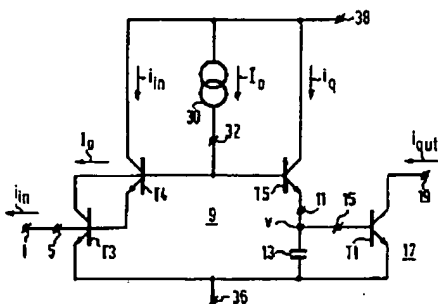
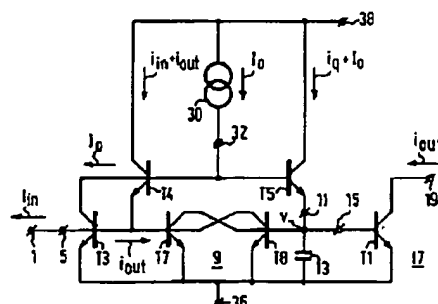


FIG.3b

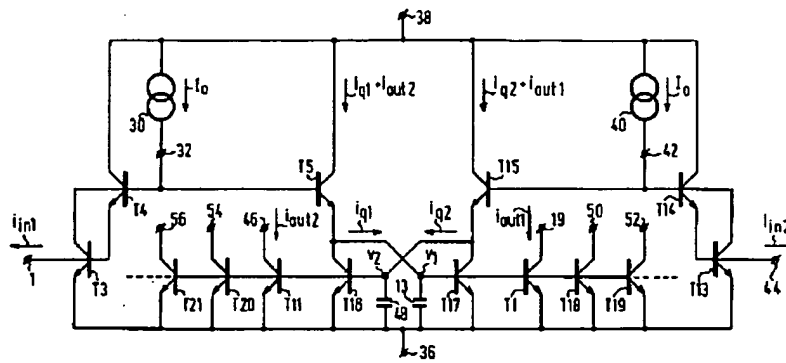
【図5】



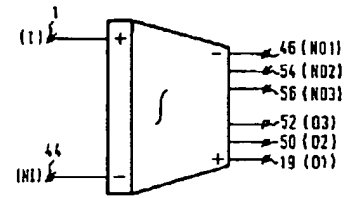
【図6】



【図7】



【図8】



【図9】

